

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199306

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01C 7/02
H01C 7/04
H01L 21/205

(21)Application number : 08-007839

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 19.01.1996

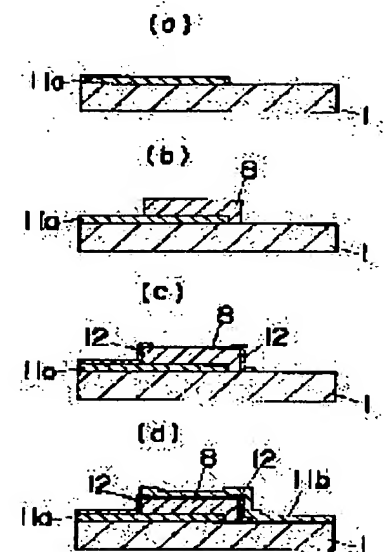
(72)Inventor : ICHIHARA TSUTOMU
AIZAWA KOICHI

(54) THIN FILM THERMISTOR AND THIN FILM THERMISTOR MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small-size thin film thermistor having a large B constant and a higher S/N ratio.

SOLUTION: A thermistor device 8 is made of a semiconductor thin film having impurities introduced therinto and is put between a lower electrode 11a and an upper electrode 11b. The thermistor device 8 is manufactured by plasma CVD method. By setting a mixture ratio of dopant gas to material gas relatively higher, impurity concentration within the semiconductor thin film is set relatively higher. As a result, it is possible to decrease the 1/f noise and to thereby increase the S/N ratio.



LEGAL STATUS

[Date of request for examination] 18.02.2002

[Date of sending the examiner's decision of rejection] 17.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-19322

[Date of requesting appeal against examiner's decision of rejection] 16.09.2004

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199306

(43) 公開日 平成9年(1997)7月31日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C	7/02		H 0 1 C	7/02
	7/04			7/04
H 0 1 L	21/205		H 0 1 L	21/205

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平8-7839

(22) 出願日 平成8年(1996)1月19日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 樺原 勉

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 相澤 浩一

大阪府門真市大字門真1048番地松下電工株式会社内

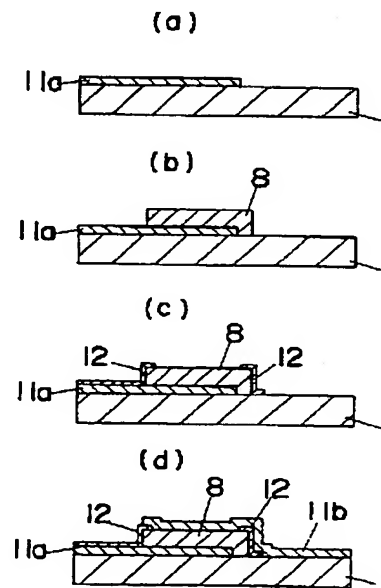
(74) 代理人 弁理士 石田 長七 (外2名)

(54) 【発明の名称】 薄膜サーミスタおよびその製造方法

(57) 【要約】

【課題】 小型かつB定数を大きくしながらも高S/N比が得られるようにした薄膜サーミスタを提供する。

【解決手段】 サーミスタ素子8は不純物を添加した半導体薄膜よりなり、下部電極11aと上部電極11bとの間に挟まれている。サーミスタ素子8はプラズマCVD法により形成され、原料ガスに対するドーパントガスの混合比を比較的多くすることにより半導体薄膜中の不純物濃度を比較的高く設定してある。その結果、1/fノイズを低減して結果的にS/N比が高くなる。



1 基板
8 サーミスタ素子
11a 下部電極
11b 上部電極

【特許請求の範囲】

【請求項 1】 半導体薄膜中に不純物を添加したサーミスタ素子を有し、 S/N 比が最適化されるように不純物濃度が設定されていることを特徴とする薄膜サーミスタ。

【請求項 2】 プラズマ CVD 法によりサーミスタ素子として機能する半導体薄膜を形成するにあたり、 S/N 比が最適化されるように原料ガスに対するドーパントガスの流量比を設定したことを特徴とする薄膜サーミスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不純物を添加した半導体薄膜をサーミスタ素子として用いる薄膜サーミスタおよびその製造方法に関するものである。

【0002】

【従来の技術】 従来より、各種装置の温度センサとしてサーミスタが広く用いられている。サーミスタの特性を表す値としてサーミスタ定数（以下では B 定数という）が知られている。B 定数は温度変化と抵抗変化との関係を示す値であり、B 定数が高いほど温度変化に対する抵抗変化が大きいことを意味するから、サーミスタとしては B 定数が高いほうが望ましいと言える。

【0003】 ところで、温度分布を検出することができるよう多数のサーミスタを 2 次元配列したアレイセンサが提案されており、この種のアレイセンサを用いると温度分布を画像情報と同様に扱うことが可能になる。この種の用途に用いるサーミスタは高集積化する必要があるから、各サーミスタを小型化しなければならない。しかしながら、図 12 に示すように、サーミスタ素子（サーミスタの半導体チップ）の体積が小さくなると $1/f$ ノイズが反比例して増加し、結果的に S/N 比が低下するという問題が生じる。ここに、 $1/f$ ノイズ N_f は、ノイズの実測値 N と熱雑音 N_j と回路雑音 N_s ($= 5.2, 6 nV rms$) とを用いて、次式の演算を行なうことにより求めた。

$$N_f = (N^2 - N_j^2 - N_s^2)^{1/2}$$

アレイセンサなどに用いる小型のサーミスタ素子は、従来のように金属酸化物を焼結する方法では製造することができないから、基板上に CVD 法により半導体薄膜を成膜し、この半導体薄膜をサーミスタ素子として機能させる製造方法が考えられている。この製造方法を採用すれば、各種材料の基板にサーミスタ素子を形成することができるとともに、比較的大きな面積の基板に低コストでサーミスタ素子を形成することができる。

【0004】 また、プラズマ CVD 法により形成した半導体薄膜は、太陽電池、薄膜トランジスタ、センサなどに活用されており、とくにプラズマ CVD 法により成長させた $a-Si:H$ は、結晶シリコンに比べて光学的バンドギャップが大きく、可視光領域での光吸収係数が大

きく、さらには薄膜かつ大面積のものが容易に形成できるから、太陽電池は重要な応用分野となっている。太陽電池に用いる半導体薄膜を成膜する際には、不純物濃度が高くなると光学的バンドギャップが小さくなるから、一般に原料ガスに対するドーパントガスの混合量を少なくしてある。また、サーミスタ素子を形成する場合も、一般に不純物が低濃度であるほうが B 定数が大きくなるから、この観点から見ると原料ガスに対するドーパントガスの混合量は少ないほうがよいことになる。

10 【0005】

【発明が解決しようとする課題】 ところが、 $1/f$ ノイズはキャリアの濃度に反比例するものであるから、ドーピング濃度が低いと $1/f$ ノイズが大きくなる。つまり、小型化し、かつ B 定数を大きくしようとするれば、 $1/f$ ノイズが増加して S/N 比が低下するという問題が生じるのである。

【0006】 本発明は上記事由に鑑みて為されたものであり、その目的は、小型かつ B 定数を大きくしながらも $1/f$ ノイズが少なく、結果的に高 S/N 比が得られるようにした薄膜サーミスタおよびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】 請求項 1 の発明は、半導体薄膜中に不純物を添加したサーミスタ素子を有し、 S/N 比が最適化されるように不純物濃度が設定されているのである。この構成は不純物濃度の調節によって S/N 比の改善が可能になることを意味しているのであって、半導体薄膜中の不純物の濃度を調節すれば $1/f$ ノイズを低減して結果的に S/N 比を向上させることができる。つまり、サーミスタ素子を小型化しても実用になる程度の S/N 比を確保することが可能になる。

【0008】 請求項 2 の発明は、プラズマ CVD 法によりサーミスタ素子として機能する半導体薄膜を形成するにあたり、 S/N 比が最適化されるように原料ガスに対するドーパントガスの流量比を設定しているものである。原料ガスに対するドーパントガスの流量比を多くすれば、半導体薄膜中の不純物濃度が増加することによって B 定数が低下しようとするが、その低下は比較的少なくなる。つまり、アモルファス半導体である半導体薄膜中のダングリングボンド（未結合手）が増加するから、フェルミレベルがバンド端に移動しにくくなり、不純物濃度が増加しても B 定数があまり低下しなくなるのである。しかも、 $1/f$ ノイズはキャリア濃度に反比例するから、ドーピング濃度を高めることにより半導体薄膜中のキャリア濃度を増大させて $1/f$ ノイズが低減されることになり、結果的に S/N 比が向上することになる。このように、ドーピング濃度を調節すれば S/N 比を向上させることが可能になる。

【0009】 ところで、B 定数を向上させるにはサーミスタ素子の活性化エネルギー E_A を大きくする必要があ

る。ここで、活性化エネルギーE Aと導電率 σ との間には次式の関係がある。

$$\sigma = \sigma_0 \cdot \exp(-E A / k T)$$

ただし、 σ_0 は係数、kはボルツマン定数、Tは絶対温度である。つまり、上式によればB定数を大きくするために活性化エネルギーE Aを大きくすると、導電率 σ が小さくなるから、B定数を大きくし、導電率 σ を大きくするには、係数 σ_0 を大きくする必要がある。以下に示す実施の形態では係数 σ_0 についても考察する。

【0010】

【発明の実施の形態】図2に成膜装置を示す。半導体薄膜が成膜されるガラス等の基板1はチャンバ2に収納され、ヒータ3によりたとえば270℃に加熱される。チャンバ2には内部を真空に排気するための排出口4と、成膜用のガスを導入する導入口5とが設けられる。基板1はチャンバ2とともに接地された電極6aの上に載置され、この電極6aに対向する電極6bには高周波電源7から高周波電圧(13.56MHz)が印加される。これにより、両電極6a、6bの間にはグロー放電によるプラズマが生じ、成膜用のガスが分解されて活性種が生成され、活性種の気相反応により基板1の上に半導体薄膜が成膜される。ここに、本実施形態では、原料ガスとしてモノシラン(SiH_4)とメタン(CH_4)との混合ガスを用い、原料ガスを希釈するガスとして水素ガスを用い、ドーパントガスとしてはジボラン(B_2H_6)を用いている。

【0011】実際にサージスタ素子8を成膜するには、まず図1(a)に示すように、基板1の上に下部電極11aを形成し、図1(b)のようにサージスタ素子8を形成した後、図1(c)のようにサージスタ素子8の側面を保護する保護膜12を形成し、最後に上部電極11bを形成するのである。つまり、図2に示すように、サージスタ素子8の厚み方向の両面にそれぞれ下部電極11aと上部電極11bとを接触させた薄膜サージスタを形成することができる。ここに、下部電極11aおよび上部電極11bにはクロムを用い、下部電極11aおよび上部電極11bとサージスタ素子8とはオーミック接触させてある。

【0012】本発明では、サージスタ素子8に含まれる不純物濃度を調節することによりノイズを低減させる。そこで、ドーパントガスの濃度に対するB定数、導電率 σ 、係数 σ_0 、 $1/f$ ノイズの変化を測定した。その結果を、図3ないし図6に示す。図3ないし図6において○はメタンのモノシランに対する混合比を0.3とした場合、□は0.5とした場合、●は1とした場合を示す。図3より明かなように、ドーピング濃度(原料ガスに対するドーパントガスの混合比:ドーパントガスの流量/原料ガスの流量)が増加するとB定数は低下する。しかしながら、図4のようにドーピング濃度の増加に伴って導電率は上昇するのであって、図5のように係

数 σ_0 はドーピング濃度の増加に伴っておおむね上昇傾向を示す。また、図6のように $1/f$ ノイズはドーピング濃度の増加に伴って減少傾向を示す。つまり、図5と図6とを合わせて見ればわかるように、ドーピング濃度を变化させたときに係数 σ_0 が大きいほど $1/f$ ノイズが低下するのである。ここにおいて、原料ガスに対するドーパントガスの流量比が増加するとB定数が低下するが、原料ガスに対するドーパントガスの流量比が1%以上になるとB定数の低下量は比較的少なくなる。また、S/N比を大きくするにはドーピング濃度は大きくするのが望ましく、たとえば1%以上に設定するのが望ましい。

【0013】ところで、原料ガスとしてモノシランとメタンとの混合ガスを用いるのは、半導体薄膜中にカーボンが含まれることによって、半導体薄膜のバンドギャップが大きくなり、従来よりも係数 σ_0 が増加することによりサージスタとして望ましい特性が得られるからである。つまり、ドーピング濃度が高いことによりドーピング濃度が低い場合よりもB定数が低下するが、半導体薄膜中にカーボンを含むことによりB定数の低下が抑制されるのである。

【0014】図7ないし図10に、モノシランに対するメタンの混合比(流量比)によるB定数、導電率 σ 、係数 σ_0 、 $1/f$ ノイズの変化を測定した結果を示す。図7ないし図10において、○、□、●、△はドーピング濃度が、それぞれ0.25%、0.75%、1%、2%の場合を示す。図7ではメタンの混合比が増加すればB定数が増加し、図8ではメタンが増加すれば導電率が減少し、図9ではメタンが増加したときにドーパントガスの混合比に応じて係数 σ_0 が変化し、図10ではメタンの増加により $1/f$ ノイズが横ばいないし増加傾向となることがわかる。とくに、ドーピング濃度が1%以上のときには、メタンの混合比の増加に伴って係数 σ_0 は減少傾向、 $1/f$ ノイズは増加傾向であるから、係数 σ_0 が大きくなればノイズが低減されることは、図9、図10の関係によっても確認される。ところで、図9、図10によって明かなように、係数 σ_0 を大きくするとともにノイズを抑制する観点から言えば、メタンの濃度はあまり高くしないことが望ましい。ただし、図3と図7とを比較するとわかるように、ドーピング濃度の増加によりB定数が減少し、メタンの混合比が増加するとB定数が増加するから、所望のB定数が得られるようにメタンを適量混合するのが望ましいと言える。

【0015】以上のような知見に基づいて、サージスタ素子8の不純物濃度を上記条件で設定したものと従来のものととの体積変化に対するノイズの変化を図11に示す。図11における△は従来のもの、●は本実施形態によるものである。この図によれば、従来のものでは体積が小さくなるほどノイズが増加するのに対して、本実施形態によるものでは体積の変化に対してノイズがほとん

ど変化しないことがわかる。

【0016】上述した実施形態においては、原料ガスとしてモノシランとメタンガスとの混合ガスを用い、ドーパントガスとしてジボランを用いているが、原料ガスにはシリコン含有ガスとカーボン含有ガスとの混合ガスであれば他の組み合わせを用いることができ、またドーパントガスにも周知の各種の物質を用いることが可能である。

【0017】

【発明の効果】請求項1の発明は、サーミスタ素子を構成する半導体薄膜中の不純物濃度を調節することによりS/N比を最適化するのであって、結果的にサーミスタ素子を小型化しても実用になる程度のS/N比を確保することが可能になるという利点を有する。

【0018】請求項2の発明は、プラズマCVD法によりサーミスタ素子として機能する半導体薄膜を形成するにあたり、S/N比が最適化されるように原料ガスに対するドーパントガスの流量比を設定しているのであり、原料ガスに対するドーパントガスの流量比を多くすれば、サーミスタ素子のキャリア濃度が高くなって1/fノイズが低減され、結果的にS/N比が向上するという利点がある。また、ドーピング濃度を増加させれば係数(σ_0)も大きくなるから、B定数を大きくし、かつ高い導電率を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明における半導体薄膜の製造工程を示す図である。

【図2】本発明における半導体薄膜の製造装置を示す概

略構成図である。

【図3】本発明におけるドーピング濃度とB定数との関係を示す図である。

【図4】本発明におけるドーピング濃度と導電率との関係を示す図である。

【図5】本発明におけるドーピング濃度と係数(σ_0)との関係を示す図である。

【図6】本発明におけるドーピング濃度と1/fノイズとの関係を示す図である。

10 【図7】本発明におけるモノシランとメタンとの混合比とB定数との関係を示す図である。

【図8】本発明におけるモノシランとメタンとの混合比と導電率との関係を示す図である。

【図9】本発明におけるモノシランとメタンとの混合比と係数(σ_0)との関係を示す図である。

【図10】本発明におけるモノシランとメタンとの混合比と1/fノイズとの関係を示す図である。

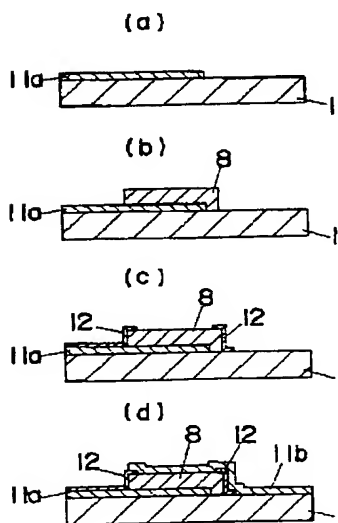
【図11】本発明および従来例のサーミスタ素子の体積とノイズとの関係を比較した図である。

20 【図12】従来のサーミスタ素子の体積とノイズとの関係を示す図である。

【符号の説明】

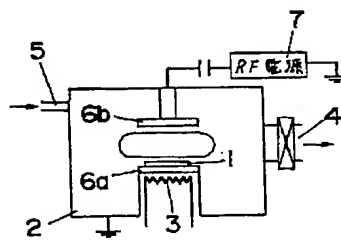
- 1 基板
- 8 サーミスタ素子
- 11a 下部電極
- 11b 上部電極
- 12 保護膜

【図1】

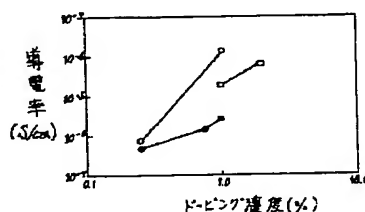


- 1 基板
- 8 サーミスタ素子
- 11a 下部電極
- 11b 上部電極

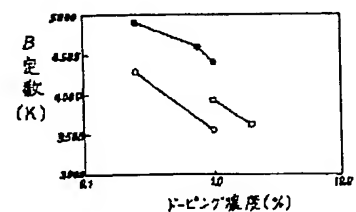
【図2】



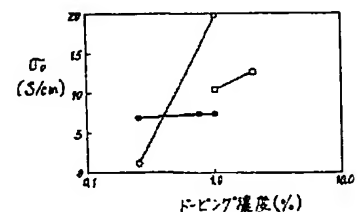
【図4】



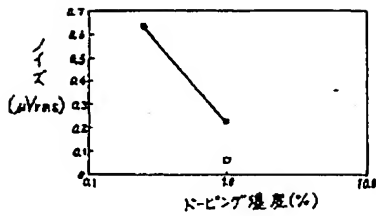
【図3】



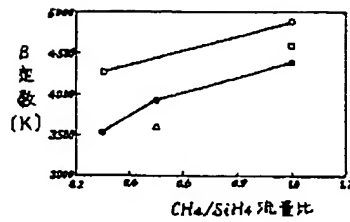
【図5】



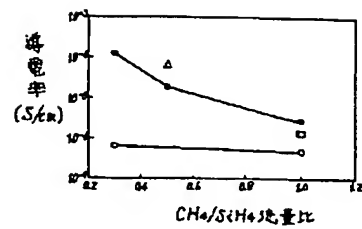
【図 6】



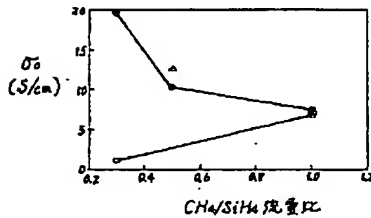
【図 7】



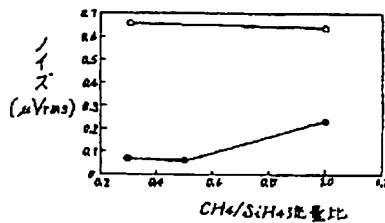
【図 8】



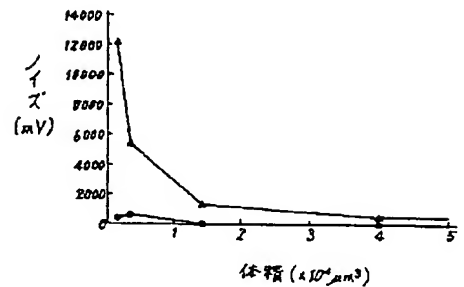
【図 9】



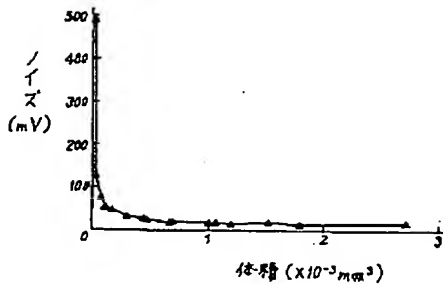
【図 10】



【図 11】



【図 12】



【手続補正書】

【提出日】平成 8 年 5 月 7 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】ところで、温度分布を検出することができるよう多数のサーミスタを 2 次元配列したアレイセンサが提案されており、この種のアレイセンサを用いると温度分布を画像情報と同様に扱うことが可能になる。この種の用途に用いるサーミスタは高集積化する必要があるから、各サーミスタを小型化しなければならない。しかしながら、図 12 に示すように、サーミスタ素子（サーミスタの半導体チップ）の体積が小さくなると $1/f$ ノイズが増加し、結果的に S/N 比が低下するという問題が生じる。

ここに、 $1/f$ ノイズ N_f は、ノイズの実測値 N と熱雑音 N_j と回路雑音 N_s ($= 52.6 \text{ nVrms}$) とを用いて、次式の演算を行なうことにより求めた。

$$N_f = (N^2 - N_j^2 - N_s^2)^{1/2}$$

アレイセンサなどに用いる小型のサーミスタ素子は、従来のように金属酸化物を焼結する方法では製造することができないから、基板上に CVD 法により半導体薄膜を成膜し、この半導体薄膜をサーミスタ素子として機能させる製造方法が考えられている。この製造方法を採用すれば、各種材料の基板上にサーミスタ素子を形成することができるとともに、比較的大きな面積の基板上に低コストでサーミスタ素子を形成することができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】 0009

【補正方法】 変更

【補正内容】

【0009】ところで、B定数を向上させるにはサーミスタ素子の活性化エネルギー E_a を大きくする必要がある。ここで、活性化エネルギー E_a と導電率 σ との間には次式の関係がある。

$$\sigma = \sigma_0 \exp(-E_a / k T)$$

ただし、 σ_0 は係数、 k はボルツマン定数、 T は絶対温度である。つまり、上式によればB定数を大きくするために活性化エネルギー E_a を大きくすると、導電率 σ が小さくなるから、B定数を大きくし、導電率 σ を大きくするには、係数 σ_0 を大きくする必要がある。以下に示す実施の形態では係数 σ_0 についても考察する。